

Exp. # FL288174239US  
Date: March 3, 2000

Docket # 3905

03/03/00

#2

Priority  
paper  
6-15-00  
R. H. H. H.

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

願 年 月 日  
Date of Application:

1999年 6月28日  
June 28, 1999

願 番 号  
Application Number:

平成11年特許願第181414号  
Pat. Appln. No. 11-181414

願 人  
Applicant(s):

住友電気工業株式会社  
Sumitomo Electric Industries, Ltd.

JCS42 U.S. PTO

09/519408

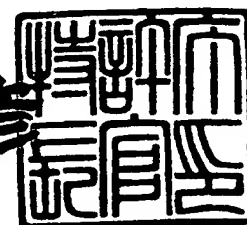


2000年 1月28日  
January 28, 2000

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦

Takahiko Kondo



出証番号 出証特2000-3002175

Shutsu-sho No. Shutsu-sho-toku-2000-3002175

#3905

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

1c542 U.S. PRO  
09/519408  
03/03/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 6 月 2 8 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 1 8 1 4 1 4 号

出 願 人

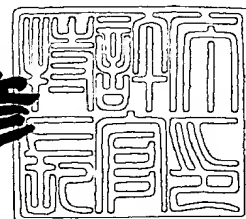
Applicant (s):

住友電気工業株式会社

2 0 0 0 年 1 月 2 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 0 2 1 7 5

【書類名】 特許願

【整理番号】 1990600

【提出日】 平成11年 6月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会  
社 大阪製作所内

【氏名】 中村 孝夫

【発明者】

【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会  
社 大阪製作所内

【氏名】 松原 秀樹

【特許出願人】

【識別番号】 000002130

【住所又は居所】 大阪府大阪市中央区北浜四丁目5番33号

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716730

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体発光素子

【特許請求の範囲】

【請求項 1】 裏面に n 型下部電極が設けられた基板と、  
前記基板の上に設けられた発光層と、  
前記発光層の上に設けられた p 型半導体層と、  
前記 p 型半導体層の上に設けられた上部電極とを備え、  
前記上部電極は、2 以上の異種の層からなる積層構造を有する半導体発光素子

【請求項 2】 前記上部電極は、前記 p 型半導体層に接触する Au 薄膜と、  
その上に形成された n 型透明導電膜と、を含む請求項 1 に記載の半導体発光素子

【請求項 3】 前記 Au 薄膜の厚みは 1 nm ~ 3 nm である、請求項 2 に記載の半導体発光素子。

【請求項 4】 前記透明導電膜は、 $\text{In}_2\text{O}_3$ -10 wt % ZnO で形成されている、請求項 2 に記載の半導体発光素子。

【請求項 5】 前記上部電極は上層と下層とを含む積層構造を有し、  
前記下層の表面は平坦にされており、  
前記上層の表面には凹凸が形成されている、請求項 1 に記載の半導体発光素子

【請求項 6】 前記基板は ZnSe 単結晶基板を含み、  
前記 p 型半導体層は、ZnSe 系半導体層、ZnTe 系半導体層または BeTe 系半導体層を含む、請求項 1 に記載の半導体発光素子。

【請求項 7】 レーザアブレーションで、前記  $\text{In}_2\text{O}_3$ -10 wt % ZnO の透明導電膜が成膜されている、請求項 4 に記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一般に半導体発光素子に関するものであり、より特定的には、多

くの光が取出せるように改良された半導体発光素子に関する。

#### 【0002】

##### 【従来の技術】

図4は、従来の発光素子の構造(a)と発光機構(b)を示す図である。図4を参照して、発光ダイオード(Light-Emitting Diode: LED)は、pおよびn型半導体結晶が隣り合って構成するpn接合部での少数キャリア注入と、これに続く発光再結合現象を利用した電気-光変換型の半導体発光素子である。

#### 【0003】

素子そのものは、0.3mm角程度の半導体結晶材料でできており、図4(a)に示すように、基本構造はSi整流素子と変わるところがない。

#### 【0004】

p型結晶に正、n型結晶に負の順方向電圧を印加すると、図4(b)に示すように、p領域には電子が、n領域には正孔が注入される。これらの少数キャリアの一部が多数キャリアと発光再結合することによって光を生ずる。

#### 【0005】

このようなLEDは、耐久性、超寿命性、軽量小型などの利点を持つ。LEDの応用分野は屋内用の表示灯に限られていたが、効率や輝度の上昇と価格低下に伴い、乗用車のストップランプや道路標識、交通信号、大面積カラーディスプレイなどに応用されるようになった。今では、自動車のヘッドランプや蛍光灯などの代替として、家庭用証明に応用する可能性がでてきている。さらに、エネルギーの節約という観点からの高効率LEDの開発に対する期待も大きい。

#### 【0006】

LEDの発光効率には、外部量子効率と内部量子効率の2種類があり、LEDの効率はその積に比例する。内部量子効率は、注入した電子・正孔対数に対する発生した光子数の比で表わされる。内部量子効率を高めるためには、電子・正孔対の再結合を防ぐため、欠陥や不純物の少ない高品質の結晶を得る必要がある。

#### 【0007】

外部量子効率は、注入した電子・正孔対数に対する外部に放射された光子数の比で表わされる。活性層で発生する光は、活性層自身や基板、電極などに吸収さ

れるため、一部しか空気中に取出すことができない。さらに、半導体の屈折率が外部の屈折率に比べ遥かに高いために、大部分の光が半導体と外部の境界で全反射され、半導体内部に戻される。現在市販されているLEDのほとんどがエポキシ（屈折率1.5）により封止されているのは、LEDの保護や酸化防止のため以外に、全反射の臨界角を高め、より多くの光を取出すためである。

【0008】

【発明が解決しようとする課題】

図5は、従来のLEDの構造を示す概念図である。n電極21を裏面に有するn型半導体22の上に活性層23が形成されている。活性層23の上にp型半導体24が形成されている。p型半導体24の上にp電極25が形成されている。発光再結合は、電流が最も多く流れる電極直下が一番多く起こる。しかし、通常の電極は光を遮蔽してしまうため、電極直下で発光している光はほとんど外部へ取出されないことになる。このような場合、電流を電極以外の領域へ広げてやることが重要となる。このため、電流拡散層を設けること、光を透過する薄い金電極を全面に設ける等の対策が行なわれている。

【0009】

図6は、p型半導体24の上に電流拡散電極26を設けたLEDの断面図である。電流拡散電極26として、十分な電流広がりを得るため、膜厚20nm程度のAu薄膜が用いられている。

【0010】

しかしながら、Au薄膜26の、この膜厚における透過率は波長500nmの光で37%しかなく、大部分の光が吸収され、発光効率が悪いという問題点があった。

【0011】

この発明は、上記のような問題点を解決するためになされたもので、発光効率を高めることができるように改良された半導体発光素子を提供することにある。

【0012】

【課題を解決するための手段】

請求項1に係る半導体発光素子は、裏面にn型下部電極が設けられた基板を備

える。上記基板の上に発光層が設けられている。上記発光層の上に、p型半導体層が設けられている。上記p型半導体層の上に上部電極が設けられている。上記上部電極は、2以上の異種の層からなる積層構造を有する。

【0013】

この発明によれば、上部電極を、2以上の異種の層からなる積層構造で構成するので、これらを適切に選ぶことによって、p型半導体層との間で接合ができず、かつ透過率の高い上部電極を形成することができる。ひいては、発光効率の高い半導体発光素子を得ることができる。

【0014】

請求項2に係る半導体発光素子においては、上記上部電極は、上記p型半導体層に接触するAu薄膜と、その上に形成されたn型透明導電膜と、を含む。

【0015】

透明導電膜は一般にn型半導体であり、直接p型半導体へ成膜しても接合ができてしまう。このことを避けるために、極めて薄いAuをp型半導体の上に成膜し、その後透明導電膜をその上に積層する。Auの膜厚を薄くすると、透過率は大幅に低下しない。また、透明導電膜の透過率が高いことから、比較的厚い透明導電膜を成膜できる。その結果、透明電極膜を通して電流が電極全体に広がるという効果を奏する。

【0016】

請求項3に係る半導体発光素子においては、上記Au薄膜の膜厚は1nm～3nmである。Auの膜厚が十分に薄いので透過率は大幅に低下しない。

【0017】

請求項4に係る半導体発光素子においては、上記透明導電膜は、 $\text{In}_2\text{O}_3-10\text{wt}\%\text{ZnO}$ で形成されている。このような材料で形成すると透過率が高くなる。

【0018】

請求項5に係る半導体発光素子においては、上記上部電極は上層と下層とを含む積層構造を有している。上記下層の表面は平坦にされている。上記上層の表面には凹凸が形成されている。



【0019】

この発明によれば、透明導電膜の表面形状を凹凸に制御することで、表面が平滑なときには全反射により取出せない光が外部に取出せるという効果を奏する。その結果、光出力を向上させることができる。

【0020】

請求項6に係る半導体発光素子においては、上記基板はZnSe単結晶基板を含む。上記p型半導体層は、ZnSe系半導体層、ZnTe系半導体層またはBeTe系半導体層を含む。

【0021】

請求項7に係る半導体発光素子においては、前記 $\text{In}_2\text{O}_3-10\text{wt}\%\text{ZnO}$ の透明導電膜がレーザアブレーションで成膜されている。

【0022】

【発明の実施の形態】

#### 実施の形態1

本発明の実施の形態では、従来のAuの代わりに、低抵抗で透過率が高い透明導電膜を用いる。特に、本発明の実施の形態では、図1(a)を参照して、p型電極として透明導電膜を適用する。

【0023】

図1(c)を参照して、一般に透明導電膜30はn型半導体であり、直接p型半導体24へ成膜しても接合ができてしまう。また、図1(b)を参照して、p型半導体の上にAu膜26を形成しても、透過率は低下し、発光効率は低下する。

【0024】

本発明によれば、図1(d)を参照して、極めて薄いAu薄膜10aをp型半導体24に成膜し、その後透明導電膜10bを積層する。Au薄膜10aの膜厚は1~3nmと十分に薄く、透過率は大幅に低下しない。また、透明導電膜10bの透過率が高いことから、比較的厚い透明導電膜10bが成膜できる。その結果、透明導電膜を通して電流が電極全体に広がるという効果を奏する。

【0025】

図2は、本発明を適用した、ZnSe系化合物半導体発光素子の断面図である。裏面にn型電極12を有する導電性ZnSe単結晶基板1の上に、1 $\mu$ m厚のn型ZnSeバッファ層2、1 $\mu$ m厚のn型ZnMgSSeクラッド層3、ZnSe/ZnCdSe多重量子井戸活性層4、1 $\mu$ m厚のp型ZnMgSSeクラッド層5、0.2 $\mu$ m厚のp型ZnSe層6、ZnTeとZnSeの積層超光子構造からなるp型コンタクト層7が順次設けられている。最も上の表面には、60nm厚のp型ZnTe層8が設けられている。このようなエピ構造の上に、1~3nmのAu薄膜10aとその上に形成された透明導電膜Ubの積層構造を有する上部電極10が形成されている。

【0026】

#### 実施の形態2

実施の形態2は、透明導電膜の表面形状を制御（たとえば凹凸）することで、全反射により取出せない光を外部に取出すことに関する。これによって、光出力の向上が可能となる。本発明の概念を図3に図示する。

【0027】

スネルの法則により、次式が成立する。

$$n_1 \sin \theta_1 = n_2 \sin \theta_2$$

$n_1 = 3.5$ （半導体）、 $n_2 = 1$ （空気）とすると、 $\theta_2 = 90^\circ$ となる $\theta_1$ は $16.6^\circ$ （臨界角）となる。したがって、この場合は、一部しか光を外部に取出せていない。

【0028】

しかし、透明導電膜の表面形状をレンズ型や鋸状にすることで、臨界角を大きくすることができる。これによって、全反射により取出せない光が外部に取出せようになり、光出力を向上させることができる。

【0029】

以上のように、本発明によれば、p型電極を透明導電膜/Au構造とすることで、電極の透過率が増加し、光出力が向上する。また光出力が向上することで、一定出力では、寿命が延びる。高透過率の膜のため、表面形状が制御できる。ひいては、光出力を向上させることができる。さらに、高透過率のため、透明導電

膜の膜厚が厚くでき、形状制御が容易となる。

【0030】

【実施例】

以下、この発明の実施例を説明する。

【0031】

本実施例では、LEDは、ZnSeを対象としている。透明導電膜の材料として、 $\text{In}_2\text{O}_3-10\text{wt}\%\text{ZnO}$ を使用する。

【0032】

実施例1

CVT (chemical vapor transport) 法により作製したn型ZnSe (100) 基板に、ZnCdSeを活性層とするLEDを作製した。p型電極はp型のZnSe/ZnTe超格子構造とした。この上に真空蒸着法により、膜厚3nmのAuを蒸着し、その後、レーザアブレーション法により、 $\text{In}_2\text{O}_3/10\text{wt}\%\text{ZnO}$  (IDIXO) を成膜した。条件は、以下のとおりである。

【0033】

成膜温度室温 (25℃)

成膜圧力  $3 \times 10^{-3} \text{ Torr O}_2$

レーザKrF 248nm,  $2 \text{ J/cm}^2$

電極構造と電圧、光出力の関係 (20mA通電時) を表1に示す。

【0034】

【表1】

電極構造	電圧	光出力
20nm Au	2.88V	1.31mW
IDIXO (90nm) / Au (3nm)	2.84V	1.91mW
IDIXO (180nm) / Au (3nm)	2.79V	2.19mW
IDIXO (190nm)	3.39V	2.21mW

【0035】

従来のAu (20nm) に比べ、IDIXO (180nm) / Au (3nm)

では、光出力が1.31→2.19mWと1.67倍に増加した。動作電圧についてもほとんど変わらなかった。IDIXO(190nm)において、光出力がIDIXO(180nm)/Au(3nm)とほぼ同じで、動作電圧が上昇していることから、Au(3nm)により、接合の生成が抑えられていることがわかる。

【0036】

なお、IDIXO(90nm)/Au(3nm)では、IDIXO(180nm)/Au(3nm)に比べ、光出力が低下している。これは、IDIXO内での多重反射による透過率の減少と考えられる。実験の結果、電極構造として、IDIXO(180nm~200nm)/Au(2nm~3nm)がよい結果を与えることが見出された。

【0037】

透過率が極大になる膜厚は、 $(1/4 + m/2) \times \lambda / n$  ( $m=0, 1, 2, 3$ ) で表わされる。

【0038】

透過率が極小になる膜厚は  $(m/2) \times (\lambda / n)$  で表わされる。

ここで、 $\lambda$  は発光波長、 $n$  はIDIXO膜の屈折率を表わしている。

【0039】

たとえば、LEDの発光波長480nmでは、 $n$  は実測値2.07である。したがって、透過率は極大になる膜厚は、58nm ( $m=0$ ) , 174nm ( $m=1$ ) となり、上記180nmとほぼ同じとなる。また、透過率が極小になる膜厚は116nm ( $m=1$ ) となる。

【0040】

実施例2

本実施例では、Au蒸着の後の、 $\text{In}_2\text{O}_3/10\text{wt}\%\text{ZnO}$ 成膜を、以下のような2段階で連続して実施した。上層の表面に凹凸を形成した。

【0041】

【表 2】

	成膜温度	膜厚	成膜圧	表面形状
下層	室温	180nm	$3 \times 10^{-3}$ Torr	平滑
上層	室温	180nm	$3 \times 10^{-1}$ Torr	凹凸あり

## 【0 0 4 2】

この試料では、動作電圧が 2. 8 0 V で光出力が 2. 4 3 mW と増加した。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 【図面の簡単な説明】

## 【図 1】

実施の形態 1 に係る半導体発光素子の構造を説明するための図である。

## 【図 2】

実施の形態 1 に係る半導体発光素子の一具体例の断面図である。

## 【図 3】

実施の形態 2 に係る半導体発光素子の光出力の向上を説明するための概念図である。

## 【図 4】

従来の発光素子の断面図である。

## 【図 5】

従来の LED の構造を示す断面図である。

## 【図 6】

従来の、電流拡散電極を有する LED の断面図である。

## 【符号の説明】

1 0 a Au 薄膜

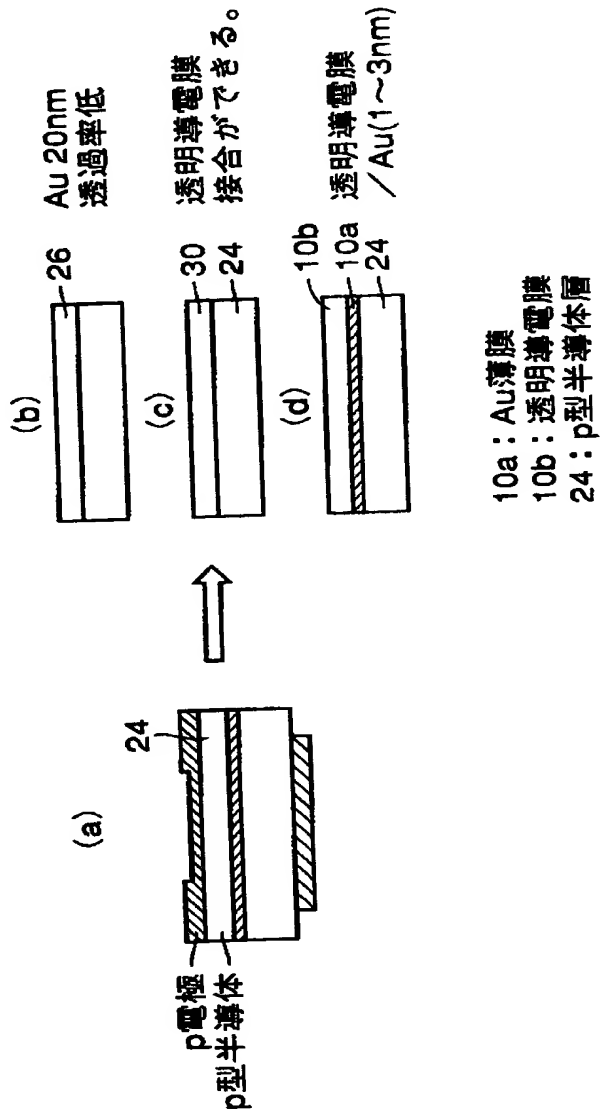
1 0 b 透明導電膜

2 4 p 型半導体層

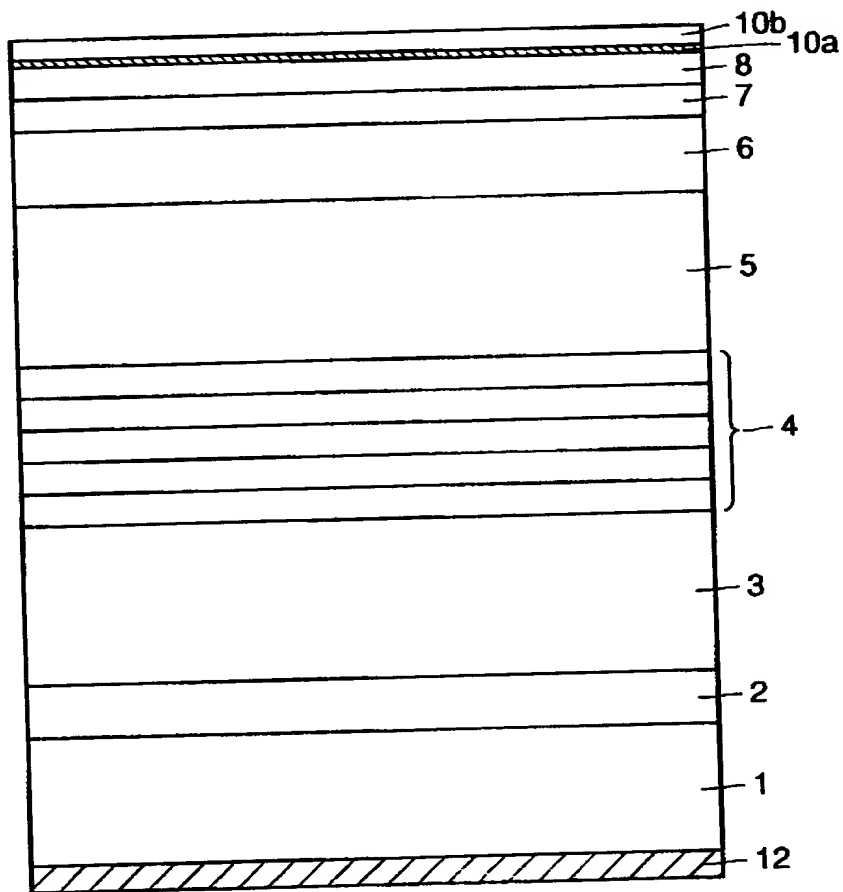
【書類名】

図面

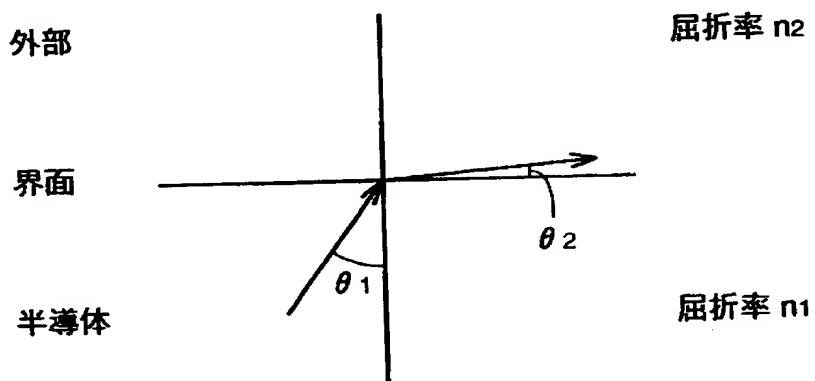
【図 1】



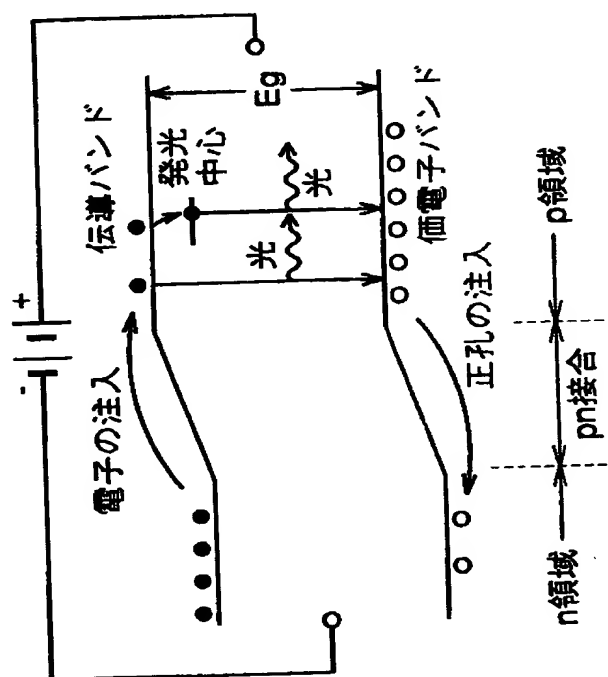
【図2】



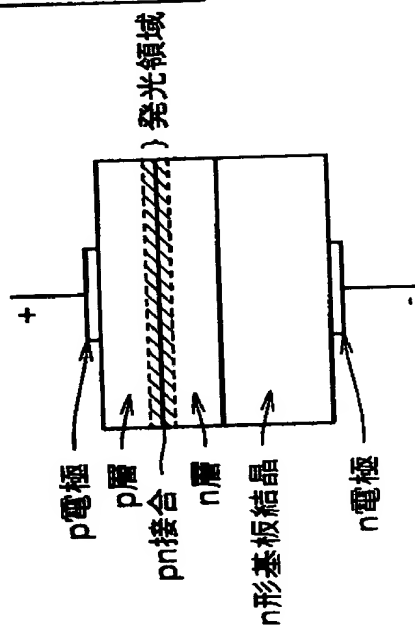
【図3】



【図4】



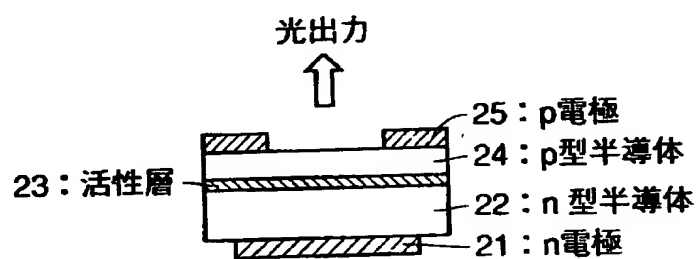
(b) 発光機構



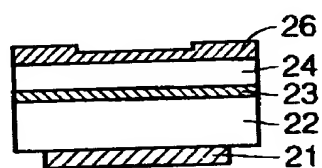
(a) 構造



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 発光効率を増加させることができるように改良された半導体発光素子を提供することを主要な目的とする。

【解決手段】 基板の上に発光層が設けられている。発光層の上に p 型半導体層 2 4 が設けられている。p 型半導体層 2 4 の上に上部電極が設けられている。上部電極は、2 以上の異種の層 1 0 a, 1 0 b からなる積層構造を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000002130]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市中央区北浜四丁目5番33号

氏 名

住友電気工業株式会社